

**CACHE MEMORY CONTROLLING SYSTEM**

Patent Number: JP5108479  
Publication date: 1993-04-30  
Inventor(s): ISHIZAKI HIROMI  
Applicant(s): RICOH CO LTD  
Requested Patent: ☐ JP5108479  
Application Number: JP19910298124 19911017  
Priority Number(s):  
IPC Classification: G06F12/08; G06F9/46; G06F12/08  
EC Classification:  
Equivalents:

---

**Abstract**

---

**PURPOSE:**To speed up interruption processing by putting an interruption processing program on a cache.

**CONSTITUTION:**When an interruption signal is not in an enable state, a cache controller 5 subtracts mapping table of an address and cache from a CPU 2 for confirming whether hitting is present or not. When hitting is present, cache data is sent to the CPU 2. When the interruption signal becomes enable, (1) the CPU 2 applies the cache controller 5 with an address signal and confirms whether cache's hitting is present or not by using the memory table for an interrupting cache memory 4. (2) When hitting is present, the data from the interrupting cache 4 is sent to the CPU 2. When hitting is not present, the data in a main storage 6 is loaded to the interrupting cache memory 4.

---

Data supplied from the esp@cenet database - I2

(19)日本特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-108479

(43)公開日 平成5年(1993)4月30日

(51)Int.Cl.<sup>5</sup>

G 0 6 F 12/08  
9/46  
12/08

識別記号

G 7232-5B  
3 1 0 Z 8120-5B  
3 1 0 Z 7232-5B

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数2(全 4 頁)

(21)出願番号

特願平3-298124

(22)出願日

平成3年(1991)10月17日

(71)出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72)発明者 石崎 寛美

東京都大田区中馬込1丁目3番6号 株式

会社リコー内

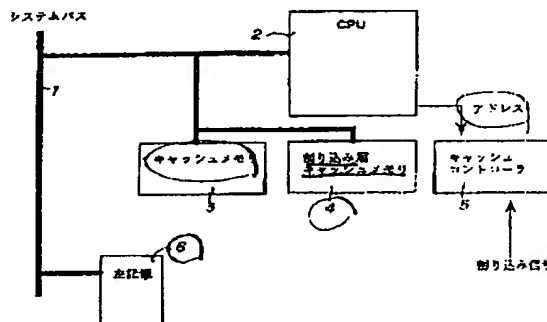
(74)代理人 弁理士 高野 明近 (外1名)

(54)【発明の名称】 キャッシュメモリの制御方式

(57)【要約】

【目的】 割り込み処理プログラムをキャッシュに置くことで割り込み処理の高速化を図る。

【構成】 割り込み信号がイネーブルになっていない場合は、キャッシュコントローラ5はCPU2からアドレスとキャッシュのマッピングテーブルをひいて、キャッシュへのヒットかどうかを確認し、ヒットしていた場合、キャッシュデータをCPU2に送る。割り込み信号がイネーブルになった場合、CPU2からアドレス信号をキャッシュコントローラ5へ入力してマッピングテーブルを割り込み用キャッシュメモリ4へのものを使用し、キャッシュのヒットかどうかを確認する。2ヒットしていた場合は、割り込み用キャッシュ4からのデータをCPU2に送る。ヒットしていなかった場合は、主記憶6からデータを割り込み用キャッシュメモリ4へロードする。



(2)

## 【特許請求の範囲】

【請求項1】 プロセッサとキャッシュメモリ、主記憶、周辺回路から構成されるキャッシュメモリの制御方式において、周辺回路からの割り込み処理時に、該処理プログラムを専用におくキャッシュメモリを設置し、割り込み処理プログラムを常にONキャッシュで実行できるようにして、割り込み処理の高速化を図ることを特徴とするキャッシュメモリの制御方式。

【請求項2】 プロセッサとキャッシュメモリ、主記憶、周辺回路から構成されるキャッシュメモリの制御方式において、主記憶上に割り込み処理専用のプログラムを格納するメモリを設置し、割り込み信号がアサートされた場合、プログラムデータを専用メモリからキャッシュメモリへロードする機構を有することを特徴とするキャッシュメモリの制御方式。

## 【発明の詳細な説明】

【0001】

【技術分野】 本発明は、電子計算機におけるキャッシュメモリの制御方式に関する。

【0002】

【従来技術】 プロセッサと主記憶との間に小容量の高速なバッファメモリを設置することにより、実効的な主記憶のアクセス時間を高速化しうることはよく知られている。この手法は通常キャッシュメモリと呼ばれ、広く計算機システムに使用されている。これは計算機システム上で実行されるプロセッサのメモリアクセスにおいては局所性があるという性質を利用したものであり、プロセッサから主記憶へのアクセスに際し、アクセスの行なわれたワードを含む一定サイズの連続した記憶位置の内容を主記憶からキャッシュメモリに取込むことにより、メモリアクセスの大部分は高速なキャッシュメモリへのアクセスで済み、低速な主記憶へのアクセスを不要とすることができる。

【0003】 このようなキャッシュメモリの機構については、例えば、特開平1-304551号公報の「階層構造キャッシュメモリの制御方式」に記載されている。すなわち、キャッシュメモリに主記憶の一部をマッピングするわけだが、そのために色々なマッピング方式が提案されている。直接マッピング、フルアソシエティブなど、どれを使うにせよハードウェア機構を必要とするので、通常のキャッシュメモリ上に割り込み処理プログラムを常駐させるのは資源の効率的運用からみると問題がある。しかし、割り込み処理プログラムを他のプログラムと同等の扱いをしてしまうと、割り込みプログラムは通常プログラム実行時にはキャッシュから追い出されている可能性が高く、割り込み要理的にキャッシュへロードする必要から処理の実行が遅れてしまう。

【0004】

【目的】 本発明は、上述の如き実情に鑑みてなされたもので、割り込み処理プログラム専用のキャッシュメモリ

リを設定し、割り込み信号のアサートにより、キャッシュメモリを制御し、割り込み処理プログラム用のキャッシュから命令をフェッチするような機構を設け、割り込み処理プログラムを高速に実行すること、また、高価なキャッシュメモリの単独設置ではなく、主記憶上に通常の主記憶より多少高速なメモリを設置し、割り込み処理プログラムをそこにセーブしておくことで、少量のメモリでも割り込み処理を高速処理できるようにしたキャッシュメモリの制御方式を提供することを目的としてなされたものである。

【0005】

【構成】 本発明は、上記目的を達成するために、（1）プロセッサとキャッシュメモリ、主記憶、周辺回路から構成されるキャッシュメモリの制御方式において、周辺回路からの割り込み処理時に、該処理プログラムを専用におくキャッシュメモリを設置し、割り込み処理プログラムを常にONキャッシュで実行できるようにして、割り込み処理の高速化を図ること、或いは、（2）プロセッサとキャッシュメモリ、主記憶、周辺回路から構成されるキャッシュメモリの制御方式において、主記憶上に割り込み処理専用のプログラムを格納するメモリを設置し、割り込み信号がアサートされた場合、プログラムデータを専用メモリからキャッシュメモリへロードする機構を有することを特徴としたものである。以下、本発明の実施例に基づいて説明する。

【0006】 図1は、本発明によるキャッシュメモリの制御方式の一実施例を説明するための構成図で、図中、1はシステムバス、2はCPU（中央処理装置）、3はキャッシュメモリ、4は割り込み用キャッシュメモリ、5はキャッシュコントローラ、6は主記憶である。システムバス1を介してCPU2と主記憶6が接続されており、前記CPU2の前段にキャッシュメモリ3が設けられ、該キャッシュメモリ3に割り込み用キャッシュメモリが並設されている。キャッシュコントローラ5は前記CPU2と接続されている。

【0007】 以下に動作を説明する。割り込み信号がイネーブルになっていない場合は、キャッシュコントローラ5はCPU2からアドレスとキャッシュのマッピングテーブルをひいて、キャッシュへのヒットかどうかが確認し、ヒットしていた場合、キャッシュデータをCPU2に送る。割り込み信号がイネーブルになった場合、CPU2からアドレス信号をキャッシュコントローラ5へ入力してマッピングテーブルを割り込み用キャッシュメモリ4へのもを使用して、キャッシュへのヒットかどうかが確認する。

ヒットしていた場合は、割り込み用キャッシュメモリ4からのデータをCPU2に送る。ヒットしていなかった場合は、主記憶6からデータを割り込み用キャッシュメモリ4へロードする。

【0008】 図2は、本発明によるキャッシュメモリの制御方式の他の実施例を示す構成図で、図中、1はシステムバス、2はCPU（中央処理装置）、3はキャッシュメモリ、4は割り込み用キャッシュメモリ、5はキャッシュコントローラ、6は主記憶である。システムバス1を介してCPU2と主記憶6が接続されており、前記CPU2の前段にキャッシュメモリ3が設けられ、該キャッシュメモリ3に割り込み用キャッシュメモリが並設されている。キャッシュコントローラ5は前記CPU2と接続されている。

(3)

制御方式の他の実施例を示す図で、図中、7は割り込み用主記憶で、その他、図1と同じ作用をする部分は同一の符号を付してある。システムバス1を介して、CPU2と割り込み用主記憶7と主記憶6とが接続されており、前記CPU2の前段にキャッシュメモリ3が設けられている。キャッシュコントローラ5は前記CPU2と接続されている。普通は主記憶に低価格のDRAMを用い、割り込み用主記憶メモリには比較的低価なSRAMを使用する。

【0009】以下に動作を説明する。割り込み信号がイネーブルになっていない場合は、キャッシュコントローラ5はCPU2からアドレスとキャッシュのマッピングテーブルをひいて、キャッシュへのヒットかどうかを確認し、ヒットしていた場合、キャッシュデータをCPU2に送る。割り込み信号がイネーブルになった場合、

①CPU2からアドレス信号をキャッシュコントローラ5へ入力してマッピングテーブルを利用して、キャッシュへのヒットかどうかを確認する。

②ヒットしていた場合はキャッシュからのデータをCPU2に送る。ヒットしていなかった場合は、割り込み用主記憶7からデータをキャッシュへロードする。

【0010】

【効果】以上の説明から明らかなように、本発明によると、以下のような効果がある。

(1) 請求項1に対応する効果：割り込み処理プログラム専用のキャッシュメモリを設定し、割り込み信号のアサートにより、キャッシュメモリを制御し、割り込み処理プログラム用のキャッシュから命令をフェッチするような機構を設けているので、簡単なハードウェアでキャッシュの制御ができ、割り込み処理プログラムをキャッシュ上に置くことで割り込み処理の高速化が期待できる。

(2) 請求項2に対応する効果：高価なキャッシュメモリの単独設置ではなく、主記憶上に通常の主記憶より多少高速なメモリを設置し、割り込み処理プログラムをそこにセーブしておくことで、比較的低価なメモリシステムで割り込み処理プログラムのキャッシュへのロードが可能になる。

【図面の簡単な説明】

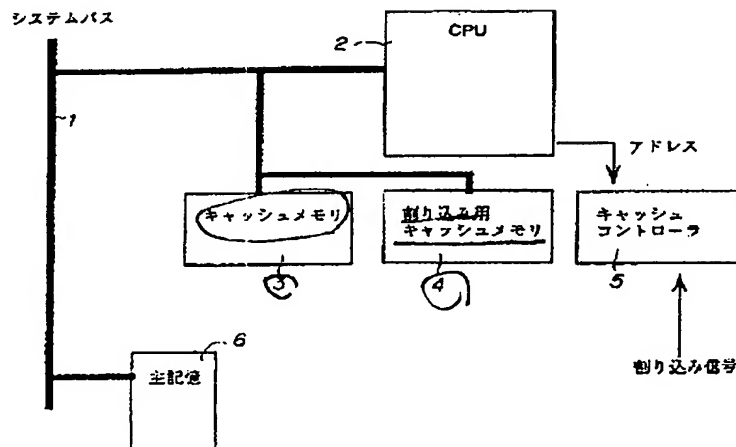
【図1】 本発明によるキャッシュメモリの制御方式の実施例を説明するための構成図である。

【図2】 本発明によるキャッシュメモリの制御方式の他の実施例を示す図である。

【符号の説明】

1…システムバス、2…CPU（中央処理装置） 3…キャッシュメモリ、4…割り込み用キャッシュメモリ、5…キャッシュコントローラ、6…主記憶

【図1】



(4)

特開平05-108479

【図2】

